

NTC FPGA 강좌 8. FSM 설계 (스탑와치)

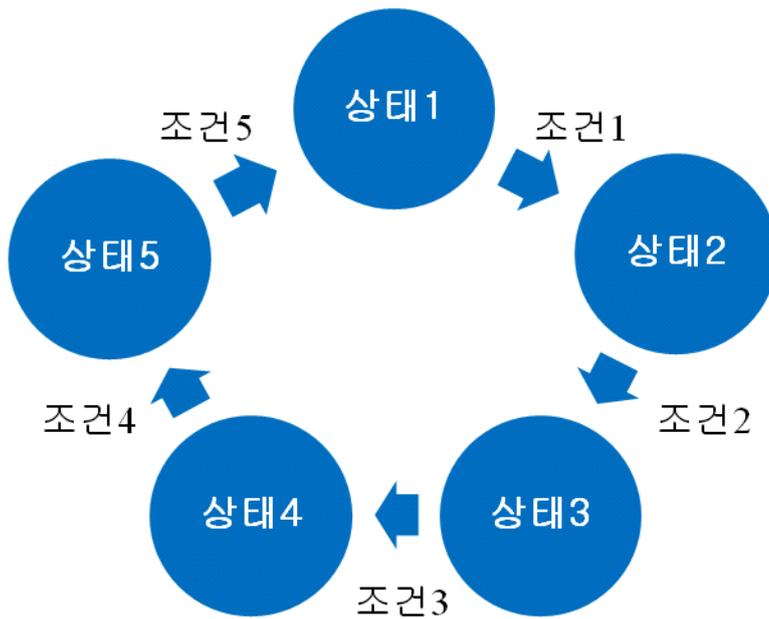
(주) 뉴티씨 (NewTC)

<http://www.NewTC.co.kr>

1 FSM 이란?

이 장에서는 FSM (Finite State Machine)에 대하여 배우고 앞에서 배운 스위치 입력과 7-Segment 출력을 이용하여 스톱와치를 설계해 보겠습니다. FSM은 순차회로(Sequential Logic)를 설계하는데 기본이 됩니다. 시스템이 가질 수 있는 상태와 천이 조건을 기술 함으로서 복잡한 시스템을 설계할 수 있습니다.

아래는 간단한 FSM의 예제로 각 상태와 천이 조건을 도식화하여 나타낸 그림입니다. FSM이 필요한 블록에서는 아래와 같이 자세한 FSM을 설계한 후 로직을 설계하는 것이 좋습니다. 또한 각 상태에 따른 출력 시퀀스를 표현할 수도 있습니다.



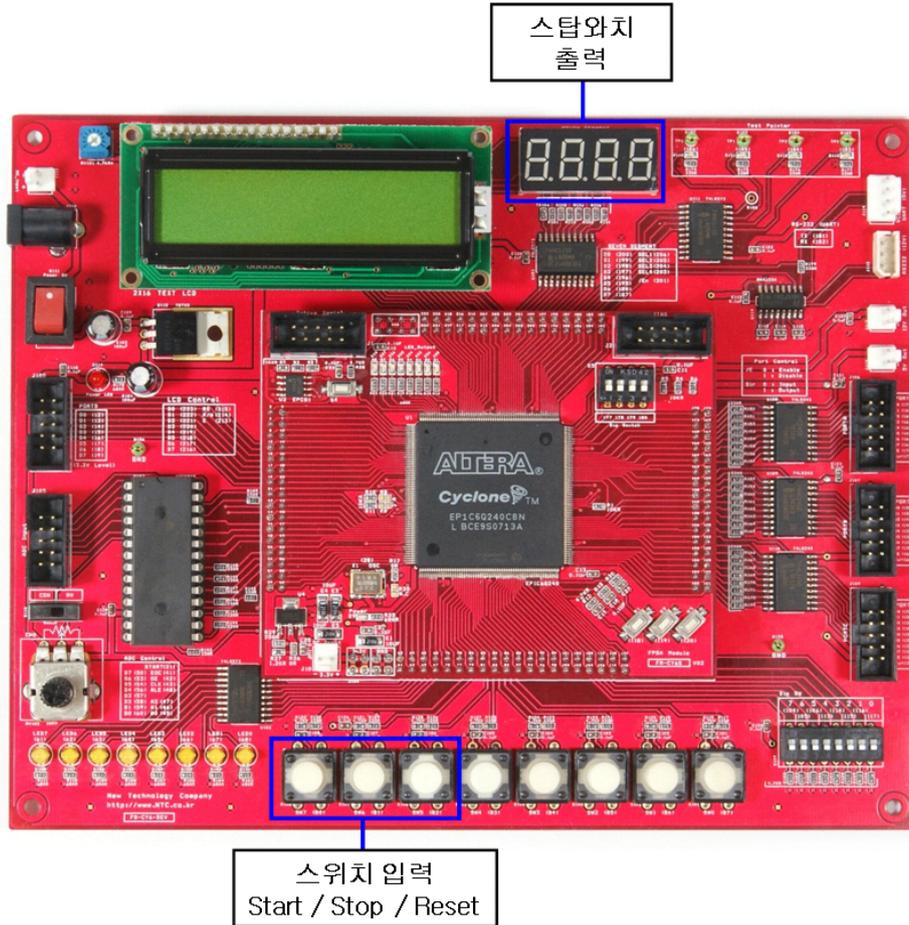
간단한 FSM 예제

복잡한 설계에서는 이 FSM 설계가 매우 중요하며 FSM 설계가 잘 되었다면 이를 구현하는 것은 쉽습니다. FSM 설계 시 동작을 자세하고 정확하게 기술하는 것이 좋습니다.

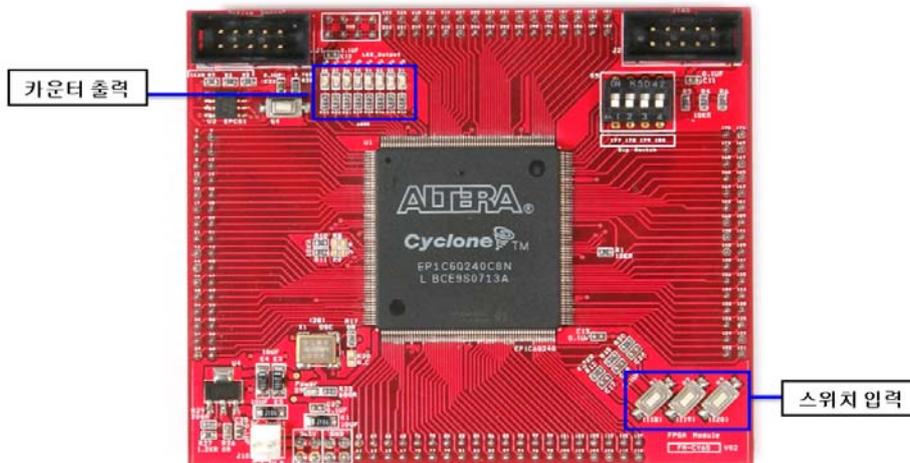
2 FSM 설계하기

2.1 간단한 스탬와치 설계하기

아래 그림과 같이 7-Segment 와 3개의 스위치를 이용하여 설계하겠습니다. 스위치는 Start, Stop, Reset의 기능으로 사용합니다.



모듈만 사용하실 경우 아래와 같이 카운터 출력을 LED에 2진수로 표현합니다.



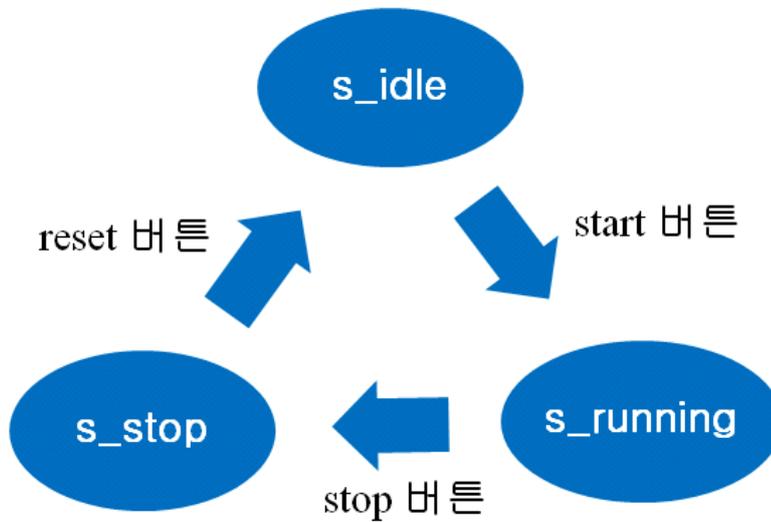
먼저 전체적인 기능과 동작을 정의합니다.

기본적인 스탑와치의 동작은 초기 상태에서 **Start** 버튼을 누르면 시간이 증가하다가 **Stop** 버튼을 누르면 정지하고 **Reset** 버튼을 누르면 시간이 0으로 초기화 됩니다.

이것을 FSM으로 나타내려면 3개의 상태 (0으로 초기화 되어 있는 상태, 카운트 하고 있는 상태, 정지되어 있는 상태) 와 각 상태간 천이를 일으키는 버튼 입력 조건으로 나타낼 수 있습니다.

2.2 FSM 설계

아래 그림은 앞에서 설명한 동작을 FSM으로 도식화 하여 표현한 것입니다.



위 FSM을 Verilog HDL로 구현하면 아래와 같습니다. 각 상태는 “parameter”로 선언하고 “case”문을 이용하여 상태 변화를 기술합니다. 위 FSM에서는 각 상태에서 조건이 1개씩만 있기 때문에 간단하게 표현 되었지만 여러 개의 조건이 있을 경우 모든 조건을 기술해야 하기 때문에 복잡해지게 됩니다.

```

parameter [1:0]
    s_idle      = 2'd0,
    s_running   = 2'd1,
    s_stop      = 2'd2;

reg [1:0] state;
always @(posedge clk)
    if(!reset)
        state <= s_idle;
    else
  
```

```

case(state)
    s_idle :    if(Button_Start == 1)    state <= s_running;
    s_running :if(Button_Stop == 1)    state <= s_stop;
    s_stop :    if(Button_Reset == 1)    state <= s_idle;
    default :                                     state <= s_idle;
endcase

```

FSM을 설계한 후 각 상태에 따른 동작을 기술하게 됩니다. 예제에서는 1/100초를 만들 수 있도록 클럭을 카운트 하는 `clk_count` 와 1/100초를 카운트 하는 `sec_count` 를 정의하여 상태에 따른 동작을 기술하였습니다.

Idle 상태에서는 카운터를 초기화 시키고 Run 상태에서는 카운터를 증가시킵니다. Stop 상태는 따로 기술하지 않았는데 이는 기존의 값을 유지하면 되기 때문입니다. 이를 Verilog 로 기술하면 아래와 같습니다.

```

always @(posedge clk)
    if(!reset) begin
        clk_count <= 0;
        sec_count <= 0;
    end else
        if(state == s_idle) begin
            clk_count <= 0;
            sec_count <= 0;
        end else if(state == s_running) begin
            if(clk_count < 500000) begin
                clk_count <= clk_count + 1;
            end else begin
                clk_count <= 0;
                if(sec_count < 10000)
                    sec_count <= sec_count + 1;
                else
                    sec_count <= 0;
            end
        end
end

```

실습 과제

1. 2.1장의 간단한 기능을 하는 1/100초 단위로 증가하는 스탑와치를 설계합니다. (보드상의 스위치를 Start, Stop, Reset 스위치로 정의합니다.)
2. 앞서 구현한 스탑와치는 동작 중에 reset을 할 수 없으며 stop 상태에서는 다시 run 동작을 할 수 없습니다. 위 기능이 가능하도록 설계를 변경합니다. (FSM에서 조건을 추가하여 설계를 한 후 FSM 부분만 변경합니다.)

